

PAT-NO: JP410032070A

DOCUMENT-IDENTIFIER: JP 10032070 A

TITLE: TEST METHOD FOR SEMICONDUCTOR DEVICE AND IC  
SOCKET

PUBN-DATE: February 3, 1998

INVENTOR-INFORMATION:

NAME

KATO, NORIAKI

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP08186102

APPL-DATE: July 16, 1996

INT-CL (IPC): H01R033/76, G01R001/06 , G01R031/26 , G01R031/28 ,  
H01L021/66  
 , H01L023/32 , H01R023/02

ABSTRACT:

PROBLEM TO BE SOLVED: To excellently maintain electrical characteristics,  
and furthermore simply preclude electrical continuity by letting  
electrodes and bumps be brought into contact with the electrodes of the semiconductor device  
and the pad of an interposer, which is larger in diameter than the  
bump of a testing substrate.

SOLUTION: In order to measure the electrical characteristics of a  
semiconductor device 1, the bump 4a of a testing substrate 4 on which  
testing circuit wiring 4b is formed, is aligned in position with the pad 3a  
of an interposer 3, the interposer 3 is piled up over the substrate 14, and  
preparations are thereby made for testing processes. And the device

1 on which  
solder balls 2 as electrodes are formed, is mechanically aligned in  
position so  
that bumps 2 are hit against the pad 3a on the surface side of the  
interposer  
3. And pressure is applied to the substrate 4 side from the upper  
surface of  
the device 1 by a pressing mechanism by way of the interposer 3. By  
this  
constitution, electrical continuity can thereby be produced between  
each ball 2  
of the device 1 and the bump 3b of the substrate 4 by way of the  
interposer 3,  
and the test of the device 1 can thereby be made possible.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-32070

(43) 公開日 平成10年(1998) 2月3日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 R 33/76			H 0 1 R 33/76	
G 0 1 R 1/06			G 0 1 R 1/06	B
	31/26		31/26	J
	31/28		H 0 1 L 21/66	D
H 0 1 L 21/66			23/32	A

審査請求 有 請求項の数 7 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平8-186102

(22) 出願日 平成8年(1996) 7月16日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 加藤 典昭

東京都港区芝五丁目7番1号 日本電気株式会社内

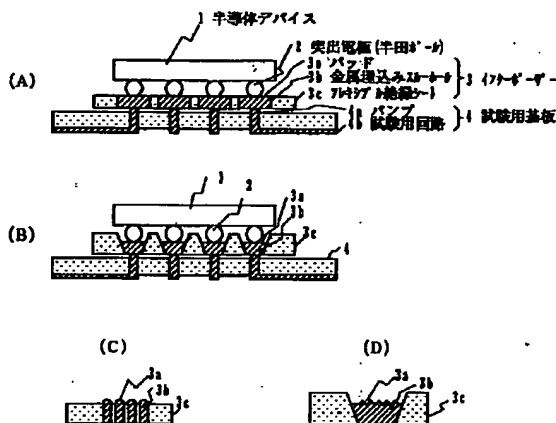
(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 半導体デバイスの試験方法及びICソケット

(57) 【要約】

【課題】 半田パンプを持つフリップチップやFP-BGA等の半導体デバイスの試験に際し、基板に半田付けせずに良好な電気的特性を得る試験方法やICソケットの構造を提供する。

【解決手段】 電気的試験回路が形成され、かつ半導体デバイスの電極に対応した位置にパンプ4aを有する試験用基板4の上に半導体デバイスの電極より大きい直径のパッド3aを有するインターポザー3を位置合わせし重ね、半導体デバイスと共に加圧して電気的導通を得る。



## 【特許請求の範囲】

【請求項1】 半導体デバイスと試験用基板の間にインターポーザーを介装し、これらを加圧して電氣的導通を得る半導体デバイスの試験方法であって、

半導体デバイスは、突出した電極を有し、試験用基板は、電氣的試験用回路が形成され、かつ前記電極に対応した位置にバンパを有しており、前記電極及びバンパより大きい直径としたインターポーザーのバッドに、前記電極及びバンパを当接させることを特徴とする半導体デバイスの試験方法。

【請求項2】 半導体デバイスと試験用基板の間にインターポーザーを介装し、これらを加圧して電氣的導通を得るICソケットであって、

半導体デバイスは、突出した電極を有し、試験用基板は、電氣的試験用回路が形成され、かつ前記電極に対応した位置にバンパを有しており、インターポーザーは、前記電極とバンパに対応した位置にバッドを有し、バッドは、前記電極及びバンパの直径よりも大きい直径をもつものであることを特徴とするICソケット。

【請求項3】 前記インターポーザーは、フレキシブルな絶縁シートからなり、前記電極及びバンパに対応した位置にスルーホールが設けられ、スルーホール内に金属導体を埋め込んでバッドを形成したものであることを特徴とする請求項2に記載のICソケット。

【請求項4】 前記インターポーザーは、フレキシブルな絶縁シートからなり、前記電極及びバンパに対応した位置にテーパ状のスルーホールが設けられ、スルーホール内の途中まで金属導体を埋め込んでバッドを形成したものであることを特徴とする請求項2に記載のICソケット。

【請求項5】 前記インターポーザーの半導体デバイス側表面は、小さなバンパの集合により凸凹状にするか、またはバッド表面を化学的に粗らしたものであることを特徴とする請求項3又は4に記載のICソケット。

【請求項6】 前記フレキシブル基板の外部接続用バッドは、ソケット本体に並設されたコンタクトピンに圧接されるものであることを特徴とする請求項2に記載のICソケット。

【請求項7】 突出した電極を持つ半導体デバイスを受け入れ、ソケット本体にヒンジにより取り付けられた蓋と、前記試験用基板の下方に敷設するシート状エラストマと、前記エラストマを試験用基板側に付勢する機構とを有することを特徴とする請求項2に記載のICソケット。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体デバイスの試験方法と試験用ICソケットに関し、特に一方の面に

半田等の突出した電極が周辺やアレイ状に全面に配置されたフリップチップやファインピッチボールグリットアレイ(BGA)用パッケージに対して試験を行う方法及び試験用ICソケットに関する。

## 【0002】

【従来の技術】直接ボンディングバッドに半田のバンパを形成したフリップチップや、1mm以下のピッチのファインピッチボールグリットアレイ(以下、FP-BGA)用パッケージを試験するには、ピッチが狭く、従来の金属製コンタクトピンを使用したソケットでは実現不可能である。

【0003】このような半導体デバイスに対しては、例えば特開平5-267393号公報に示された方法がある。特開平5-267393号公報には、図3に示すように半導体デバイス1は、インターポーザー(中継板)3に搭載し加熱し半田バンパ2を溶融させ、インターポーザー3の上側バッド3aに接続される。この状態で試験用基板4の試験用バッド4cにインターポーザー3の下側バッド3dを加圧し電氣的導通が得られるようにして電氣的試験を実施する方法が開示されている。

【0004】また特開平6-82521号公報に開示された方法では、図4に示すように半導体デバイス1のバンパ2がスペーサ5の開口部に挿入され、試験基板4との間にエラストマ導電性ポリマー接続(ECPI)層6が挟み込まれ、半導体デバイス1を上から加圧しスペーサ5の下面から突出したバンパの下部にECPI層6内の導電性粒子の鎖(カラム)6aを介し試験用基板4上の試験用バッド4cとの導通が得られている。

## 【0005】

【発明が解決しようとする課題】上述した従来の図3に示す方法では、製造工程内で半導体デバイス1をインターポーザー3に一旦半田実装した後にインターポーザー3ごと電氣的試験を実施する必要がある。また最終的にフリップチップ状態で出荷する際には、インターポーザーから半導体デバイス1をはがし、半田バンパを再リフローして形状を整えて出荷する必要がある。

【0006】以上のように製造工程が従来のプラスチックQFP等に比較し極めて複雑になり、コストアップは避けられないという欠点がある。フリップチップのように高価なデバイスでは容認されてもFP-BGAのように低価なデバイスには採用できないプロセスである。

【0007】また、図4に示す従来の方法では、金属導体粒子が鎖状に連結されたカラム6aは、導体粒子間接触抵抗が粒子の数だけ直列に接続されたことになり、数百mΩから数Ωの接触抵抗がある。したがって、大電流を流すと、ECPI層6が発熱しエラストマの弾性が失われたり、高温での寿命が著しく短い。また、スペーサ5の開口部にバンパ2を位置合わせし挿入しようとする、挿入精度が要求され画像認識が必要になる。以上のようにスペーサとECPI層を使用した試験方法でも、

電気的特性が悪くなる、耐熱性が悪い、高価な設備が必要となる等の欠点がある。

【0008】本発明の目的は、電気的特性を良好に保ち、かつ簡易に電氣的導通を得る半導体デバイスの試験方法及びICソケットを提供することにある。

【0009】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体デバイスの試験方法は、半導体デバイスと試験用基板の間にインターポーザーを介装し、これらを加圧して電氣的導通を得る半導体デバイスの試験方法であって、半導体デバイスは、突出した電極を有し、試験用基板は、電氣的試験用回路が形成され、かつ前記電極に対応した位置にバンパを有しており、前記電極及びバンパより大きい直径としたインターポーザーのパッドに、前記電極及びバンパを当接させるものである。

【0010】また本発明に係る半導体デバイスのICソケットは、半導体デバイスと試験用基板の間にインターポーザーを介装し、これらを加圧して電氣的導通を得るICソケットであって、半導体デバイスは、突出した電極を有し、試験用基板は、電氣的試験用回路が形成され、かつ前記電極に対応した位置にバンパを有しており、インターポーザーは、前記電極とバンパに対応した位置にパッドを有し、パッドは、前記電極及びバンパの直径よりも大きい直径をもつものである。

【0011】また前記インターポーザーは、フレキシブルな絶縁シートからなり、前記電極及びバンパに対応した位置にスルーホールが設けられ、スルーホール内に金属導体を埋め込んでパッドを形成したものである。

【0012】また前記インターポーザーは、フレキシブルな絶縁シートからなり、前記電極及びバンパに対応した位置にテーパ状のスルーホールが設けられ、スルーホール内の途中まで金属導体を埋め込んでパッドを形成したものである。

【0013】また前記インターポーザーの半導体デバイス側表面は、小さなバンパの集合により凸凹状にするか、またはパッド表面を化学的に粗らしたものである。

【0014】また前記フレキシブル基板の外部接続用パッドは、ソケット本体に並設されたコンタクトピンに圧接されるものである。

【0015】また突出した電極を持つ半導体デバイスを受け入れ、ソケット本体にヒンジにより取り付けられた蓋と、前記試験用基板の下方に敷設するシート状エラストマと、前記エラストマを試験用基板側に付勢する機構とを有するものである。

【0016】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して説明する。

【0017】（実施形態1）図1（A）は、本発明の実施形態1を説明するための断面図である。

【0018】図において、FP-PGAパッケージの場合、半導体デバイス1は、下面に半田ボール2を有している。半田ボール2は、チップサイズと同等程度の大きさの範囲内に複数形成されている。半田ボール2のサイズは例えばφ0.2mmであり、隣接する半田ボール2間のボールピッチは、0.5mmであり、狭ピッチとなっている。

【0019】インターポーザー3は、ポリイミド等の材質からなる耐熱性の25μm程度と薄いフレキシブル絶縁シート3cからなり、シート3cにデバイス1の半田ボール2に対応させた複数のスルーホール3bが設けられている。スルーホール3bは、デバイス1の半田ボール2の径より十分大きく、例えばφ0.35mm程度にしスルーホール3b内にはCu等の金属導体を埋め込み両面にパッドを形成し、メッキ処理をしておく。

【0020】試験用基板4は、インターポーザー3と同様に半田ボール2に対応した位置にスルーホールを設け、スルーホール内に金属導体を埋め込んでおくが、スルーホールサイズはスルーホール間に配線を通すため、φ0.1mm以下と小さくし、インターポーザー3側には僅かに突出したバンパ4bを形成する。また試験基板4には、スルーホールから引き出され試験用設備に接続される試験用回路配線4bが形成されている。

【0021】半導体デバイス1の電気的特性を測定するには、まず試験用基板4のバンパ4aとインターポーザー3のパッド3aを位置合わせし試験用基板4上にインターポーザー3を重ね試験工程に準備しておく。

【0022】試験工程では半田ボール2の形成された半導体デバイス1をインターポーザー3の表面側パッド3aに半田バンパ2が当たるように機械的に位置合わせし、半導体デバイス1の上面から図示しない加圧機構でインターポーザー3を介し試験用基板側に加圧させる。以上によりデバイス1の半田ボール2と試験用基板4のバンパ4bとの電氣的導通がインターポーザー3を介して得られ、デバイスの試験が可能となる。

【0023】（実施形態2）図1（B）は、本発明の実施形態2を説明する断面図である。本実施形態2では、インターポーザー3の構造が実施形態1とは異なり、インターポーザー3の絶縁シート3cは100μm程度と比較的厚く、テーパ状のスルーホール3bが設けられ、埋め込み金属導体層をスルーホール3bの途中まで埋め込んでいる。この構造にすることにより、半田ボール2が確実にインターポーザー3のパッド3aに落とし込め、デバイスの位置合わせを容易に実現できるという利点がある。

【0024】（実施形態3）図1（C）は、本発明の実施形態3を説明するためのインターポーザーのスルーホール部拡大断面図である。

【0025】実施形態3では、半導体デバイス1の1個あたりの半田ボール2の位置に対応してインターポーザ

ー3の位置に複数の小径スルーホールを配置してパッド3aを設け、複数のパッド3aを試験用基板側のパッドでショートした構造になっている。この構造にすることによりパッド表面3aは小さな近接したバンパにより凸凹状になり、デバイス1の半田ボール2と多点で接触することになり、少ない荷重で良好な接触抵抗を得ることができるという利点がある。

【0026】(実施形態4)図1(D)は、本発明の実施形態4を説明するためのインターポザーのスルーホール部拡大断面図である。

【0027】実施形態4では、実施形態3と同様の効果を狙ったものであり、パッド3aの表面を化学的に粗化し、デバイス1の半田ボール2の表面に酸化膜がある場合でも、容易に酸化膜を破って少ない荷重で良好な接触を得ることができるという利点がある。図示しないが、実施形態4に示したバンパ表面処理を実施形態1のインターポザーに適用することも可能である。

【0028】(実施形態5)図2は、本発明の実施形態5を説明する断面図である。図1のインターポザー及び試験用基板と基本的に同じ構造のものを従来のQFP等のソケットに適用した構造となっている。

【0029】実施形態5では、試験用基板4は、実施形態1のインターポザー3と同じ材質のフレキシブル基板からなるものであり、試験用回路は、スルーホールからソケットコンタクトピン14への引出用のものと、ソケットコンタクトピンへのピッチ変換用のもののみを形成する。またフレキシブル基板の下面には、外部接続用のテストパッド4cが形成され、ソケット本体10に埋め込まれたコンタクトピン14に圧接される。フレキシブル基板4の下には、シート状のエラストマ7が備えられ押し上げ台8とともにバネ9でインターポザー3とフレキシブル基板4を半田ボール2に押し付けている。エラストマ7はインターポザー3、フレキシブル基板4を介し半田ボール2のコプラナリティを吸収し、半田ボール2に適切な荷重がかかるように働く。

【0030】インターポザー3上には、機械的にデバイス外形で位置決めするためのデバイス位置決め台11がある。ヒンジ側シャフト13によりソケット本体10に取り付けられた蓋12は、デバイス1をソケットに挿入した後に閉じ、ストッパ15によりソケット本体10に固定する。

【0031】以上のようにして半導体デバイス1にバネ9で決まる荷重が加えられ、デバイス1の半田ボール2とコンタクトピン14の電気的導通が得られる。インターポザーの構造には、実施形態2～4の構造を適用することも可能である。

【0032】

【発明の効果】以上説明したように本発明によれば、フリップチップやFP-BGA等の半導体デバイスに対してもインターポザーに一旦半田実装した後に電気的試

験を実施、後でインターポザーから半導体デバイスをはがし半田バンパを再リフローを実施する等の複雑な工程が不要になり、低コストな試験方法を実現できる。また、スペーサとECPI層を使用した試験方法と比較しても、耐熱性に優れ、電気的特性を良好に保つことができる。

【0033】さらに、例えば半導体デバイスがもつ半田ボールの外形寸法精度が±0.1mmあってもインターポザーのパッド径をφ0.35mmと大きくしているため、画像認識を用いない機械的位置決めでも十分ソケットへのデバイスの挿入抜去を行うことができ、安価な設備を使用できタクトタイムも向上できる。

【0034】また、ソケットの接触パッドには長期間の使用によりデバイスの半田ボールから半田が転写し酸化するために接触抵抗が大きくなるが、本発明のICソケットではインターポザーの交換だけを簡単にでき、ランニングコストを低減できるという効果がある。

【図面の簡単な説明】

【図1】(A)は、本発明の実施形態1を示すインターポザーと試験用基板の断面図、(B)は、本発明の実施形態2を示すインターポザーと試験用基板の断面図、(C)は、本発明の実施形態3を示すインターポザーのスルーホール部拡大断面図、(D)は、本発明の実施形態4を示すインターポザーのスルーホール部拡大断面図である。

【図2】本発明の実施形態5を示すICソケットの断面図である。

【図3】従来例を示すインターポザーと試験用基板の断面図である。

【図4】他の従来例を示す断面図である。

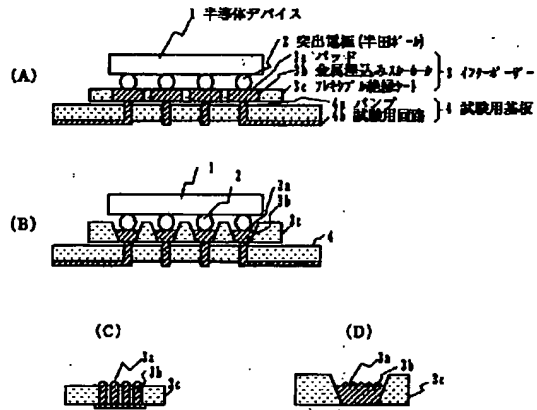
【符号の説明】

- 1 半導体デバイス
- 2 半田ボール又は半田バンパ
- 3 インターポザー
- 3a 上側パッド
- 3b 金属導体埋め込みスルーホール
- 3c 絶縁シート
- 3d 下側パッド
- 4 試験用基板又はフレキシブル基板
- 4a 上側バンパ
- 4b 試験用回路又は引き出し配線
- 4c 外部接続用テストパッド
- 5 スペーサ
- 6 ECPI層
- 6a カラム
- 7 エラストマ
- 8 押し上げ台
- 9 バネ
- 10 ソケット本体
- 11 デバイス位置決め台

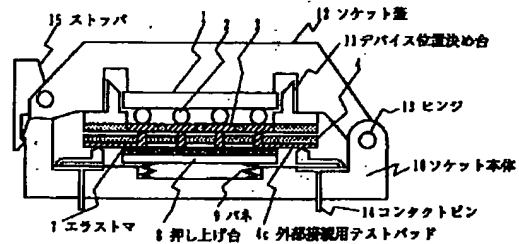
12 ソケット蓋  
13 ヒンジ側シャフト

14 コンタクトピン  
15 ストップバ

【図1】

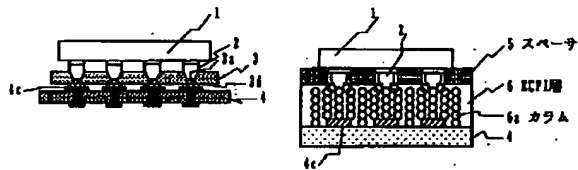


【図2】



【図3】

【図4】



フロントページの続き

(51)Int. Cl.<sup>6</sup>

H01L 23/32

H01R 23/02

識別記号

庁内整理番号

7815-5B

F I

H01R 23/02

G01R 31/28

技術表示箇所

H

K